Journal of Radiation Industry 6 (1) : 31~40 (2012)

센서-회로 분리형 엑스선 DR 검출기를 위한 대면적 CMOS 영상센서 모사 연구

김명수 · 김형택 · 강동욱 · 유현준 · 조민식 · 이대희
배준형 · 김종열 · 김현덕 · 조규성*

한국과학기술원 원자력 및 양자 공학과

Simulation Study of a Large Area CMOS Image Sensor for X-ray DR Detector with Separate ROICs

Myung Soo Kim, Hyoungtak Kim, Dong-uk Kang, Hyun Jun Yoo, Minsik Cho, Dae Hee Lee, Jun Hyung Bae, Jongyul Kim, Hyunduk Kim and Gyuseong Cho*

Department of Nuclear & Quantum Engineering, KAIST, Daejeon, Korea

Abstract - There are two methods to fabricate the readout electronic to a large-area CMOS image sensor (LACIS). One is to design and manufacture the sensor part and signal processing electronics in a single chip and the other is to integrate both parts with bump bonding or wire bonding after manufacturing both parts separately. The latter method has an advantage of the high yield because the optimized and specialized fabrication process can be chosen in designing and manufacturing each part. In this paper, LACIS chip, that is optimized design for the latter method of fabrication, is presented. The LACIS chip consists of a 3-TR pixel photodiode array, row driver (or called as a gate driver) circuit, and bonding pads to the external readout ICs. Among 4 types of the photodiode structure available in a standard CMOS process, N_{photo}/P_{epi} type photodiode showed the highest quantum efficiency in the simulation study, though it requires one additional mask to control the doping concentration of N_{photo} layer. The optimized channel widths and lengths of 3 pixel transistors are also determined by simulation. The select transistor is not significantly affected by channel length and width. But source follower transistor is strongly influenced by length and width. In row driver, to reduce signal time delay by high capacitance at output node, three stage inverter drivers are used. And channel width of the inverter driver increases gradually in each step. The sensor has very long metal wire that is about 170 mm. The repeater consisted of inverters is applied proper amount of pixel rows. It can help to reduce the long metal-line delay.

Key words : DR, LACIS, Detector, X-ray

서 론

디지털 엑스선 영상센서는 반도체 패키지, PCB, 배터리 등을 비롯한 여러 산업제품의 검수 및 유방 조영 영상 (Mammography) 등의 의학분야에서 사용된다. 엑스선 영상센서는 엑스선 신호를 전기 신호로 직접 변환하는 직접방식의 상온 반도체 센서와 섬광체를 통해 엑스선을 광 신호로 변환한 후 실리콘 광 센서를 이용하여 전기신호로 바꾸는 간접방식이 있다. 간접방식의 광 영상

* Corresponding author: Gyuseong Cho, Tel. +82-42-350-3821, 010-2772-3821, Fax. +82-42-350-5861, E-mail. gscho@kaist.ac.kr

센서는 일반 카메라용 광 센서와는 달리 대면적이 요구되기 때문에 초기에는 비정질 실리콘 박막 기술을 이용한 센서들이 개발되었으나 현재는 저선량 조건에서의 고화질 영상 및 고속 동영상 구현을 위해 실리콘 CMOS 기술을 기반으로 하는 고감도 센서들이 연구되고 있다 (허 2011).

CMOS 영상센서는 Fig. 1에서 보는 바와 같이 Reset 트랜지스터 (M1), Reset 트랜지스터 (M2) 그리고 Source Follower 트랜지스터 (M3)로 구성된 3 트랜지스터 2D pixel array와 Row driver (RD), Column readout circuit, Multiplexer, Analog to Digital Converter (ADC), timing controller 등 신호처리회로로 구성된다.

일반 카메라용 CMOS 영상센서는 픽셀 (pixel)과 상기 회로들을 일체형으로 제작되며 수 mm 이내의 크기를 갖는다. 그러나 엑스선용 센서는 대상체와 같은 크기의 pixel array가 필요하고 섬광체에서 발생하는 광신호가 특정한 파장을 띄며 또 미약하다. 따라서 CMOS 특화공정을 통해 Fig. 1의 어두운 네모 상자 안쪽 영역에 해당하는 픽셀을 제작하고 CMOS 표준공정을 이용하여 회로 부분을 제작함으로써 각각의 성능을 최적화 할 수 있다.

Fig. 2는 설계하고자 하는 CMOS X선 영상센서의 측면 모식도이다. 본 장치는 간접방식의 검출기로서 섬광체를 통해 X선을 가시광선으로 변환하고 변환된 가시광선의 영상 정보를 검출한다. Carbon은 섬광체의 형태를 유지해주고 수분으로부터 보호해주며 낮은 원자번호로 인해 X선을 적게 흡수하는 장점이 있다 (Emi 2006; Reiner 2008) 섬광체는 광출력 효율을 높이기 위해 cesium iodide에 Thallium을 소량 첨부한 CsI (Tl)을 사용하는 것으로 설계하였다. 광 섬유판은 광학적 이득은 없으나 섬광체와 반응을 하지 못하고 섬광체를 투과한 X선이 센서에 도달하여 센서 수명에 악영향을 주는 효과를 막아주는 필터 역할을 한다. 센서-회로 분리형 CMOS X선 영상센서의 경우 센서 아래 부분에서 범프 본딩을 통하여 column readout 회로 및 multiplexer의 역할을 하는 ROIC와 결합시킨다. 앞서 언급한 대로 ROIC는 성능의 최적화를 위해 CMOS 표준공정에서 제작한다. ADC를 비롯한 신호처리 부분은 성능이 검증된 상용칩을 선택하고 논리 구조를 이용해 신호를 만들어 주는 Field Programmable Gate Array (FPGA)와 함께 PCB보드 형태로 제작하며, PC와 검출기 제어 및 신호 처리를 위해 Labview 등을 이용하여 구현한다.

본 연구는 센서-회로 분리형 대면적 CMOS X선 영상센서를 제작함에 있어 최적화된 픽셀의 포토다이오드 및 트랜지스터와 RD를 설계함을 목표로 한다.

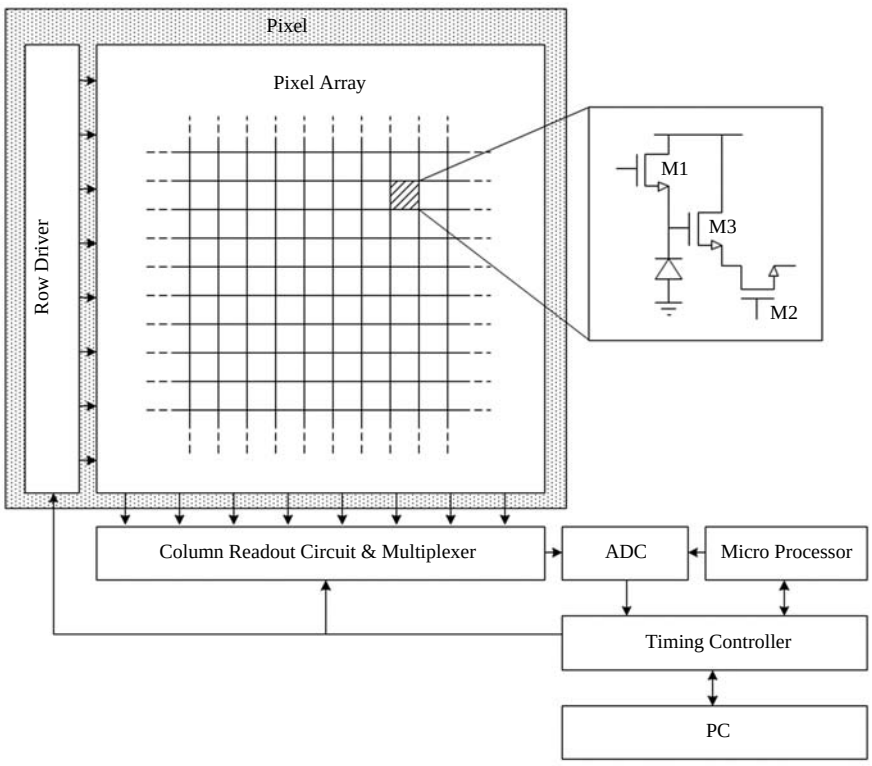


Fig. 1. The conceptual diagrams for a separated type of CMOS X-ray image sensor.

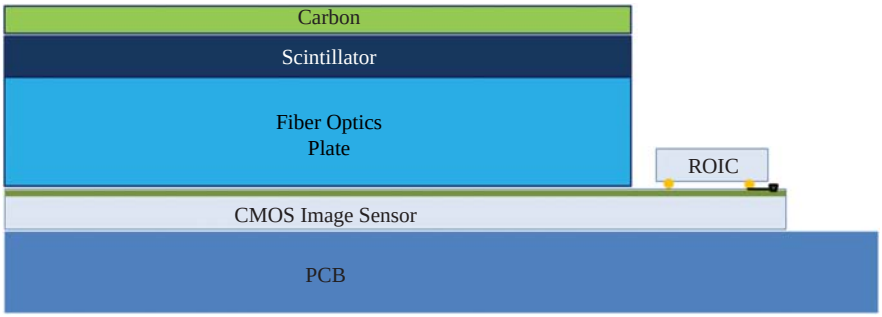


Fig. 2. Cross-sectional view of a separated type CMOS X-ray image sensor.

재료 및 방법

1. 픽셀 광 다이오드 모사

모사를 위해 Silvaco사의 소자 시뮬레이션 툴인 ATLAS를 이용하였고, 이를 이용하여 2D 광소자 구조를 모사하였다. 모사에 사용된 웨이퍼는 기본 p-type형태에 비저항 30 Ohm, 두께 10 μm의 epitaxial층을 가진다. 픽셀 크기는 산업용에도 사용 가능하고 유방 조영 영상에도 사용 가능한 해상도를 위해 55 μm × 55 μm로 설계하였다. 픽셀의 구조는 p-type epitaxial 웨이퍼 층에 boron을 도핑하여 PN구조 형태의 다이오드를 형성한 것을 기본으로 Fig. 3과 같이 총 4가지 형태의 PN구조 다이오드를 시뮬레이션하였다. 이 중 N_+/P_{well}은 일반적인 CMOS image sensor의 pixel 공정을 사용하였으며, N_+/P_{epi}와 N_{well}/P_{epi} 구조는 표준 로직 CMOS 공정에서 제공하는 두 가지 N-layer 층과 epi-wafer의 P_{epi}층을 결합하여 형성한 NP junction이며, N_{photo}/P_{epi}의 경우는 기본적인 로직 공정에서 쓰이는 마스크 이외에 junction depth와 도핑농도를 조절할 수 있는 마스크가 추가된 공정으로 본 시뮬레이션에서는 N_+과 같은 depth에 N_{well}과 같은 도핑농도를 갖는다고 가정하여 모사 하였다. N층과 P층 외에 포토 다이오드를 최적화하기 위해 고려해야 할 요소로는 Dark current, Signal to Noise Ratio (SNR), Quantum Efficiency (QE)가 있다. Dark current는 사용된 시뮬레이션 툴에서 계산 가능한 최소 전류는 1×10^{-16}A이다. 하지만 RAD ICON사의 제품이나 E2V CMOS IMAGEING ARRAYS의 경우 각각 3×10^{-19}A, 7.3×10^{-19}A 크기의 Dark current를 가진다고 보고하였다(Thomas *et al.* 2007). 다시 말해, 실제의 Dark current는 시뮬레이션 툴에서 지원하는 최소전류보다 더 작은 값을 가지며 이는 시뮬레이션으로는 검증에 한계가 있음을 의미한다. 결과적으로 Dark current에 의한 Noise의 값을 정확하게 찾아낼 수 없기 때문에 시뮬레이션을 통해 얻은 SNR 값은 신뢰성이 떨어진다. 반면, QE는 픽셀에 들어오는 광자 중 얼마만큼의 광자가 신호에 기여하는가를 알 수 있게 해주는 요소이다. 따라서 Dark current를 정확히 알 수 없는 상황에서 노이즈에 의한 영향이 픽셀 구조별로 크지 않다는 가정하에 QE의 비교를 통해 다이오드의 성능을 비교 하였다(Suat 2008).

시뮬레이션 시 고려된 변수들은 Table 1에 정리하였다. 실리콘 내에서 발생하는 누설 전류와 광 반응에 의해 발생하는 전류를 모사하기 위해 Carrier lifetime을 설정하였다. Carrier lifetime은 실리콘 내에서 전자 정공 쌍이 발생하여 재결합되기까지의 시간을 나타내는 변수이다. 시뮬레이션에는 도핑농도에 따라 lifetime이 변화하는 CONSRH모델을 적용하였고 lifetime은 20 μs로 설정하였다(Lee 2003; Rizzo *et al.* 2005). QE를 구하기 위한 소자의 광 반응 모사시 CMOS 영상센서 표면에서의 반사코팅 영향은 무시하였다. 파장 별 QE를 구하기 위해서는 300 ~ 750 nm의 파장을 사용했으며 엑스선 신호의 크기를 구하기 위해서는 CsI (Tl)에서 발생하는 파장 중 가장 강하고 생성이 많은 550 nm를 사용하였다. QE는 식 (1)과 같이 입사된 광을 전류신호로 바꾸어 발생한 전류대비 수집된 전류의 비로 계산하였다.* 반사효과를 무시하였기 때문에 측정된 값은 External QE가 아닌 Internal QE로 볼 수 있다.

$$QE = \frac{\text{Cathode Current}}{\text{Source Photo Current}} \quad (1)$$

2. 픽셀 트랜지스터 모사

3개의 트랜지스터를 사용하는 능동 픽셀을 구현함에 있어 Reset 트랜지스터, Source follower 트랜지스터, Select 트랜지스터의 설계는 표준공정에서 사용자가 변화를 줄

*ATLAS User's Manual. Santa Clara, CA: Silvaco

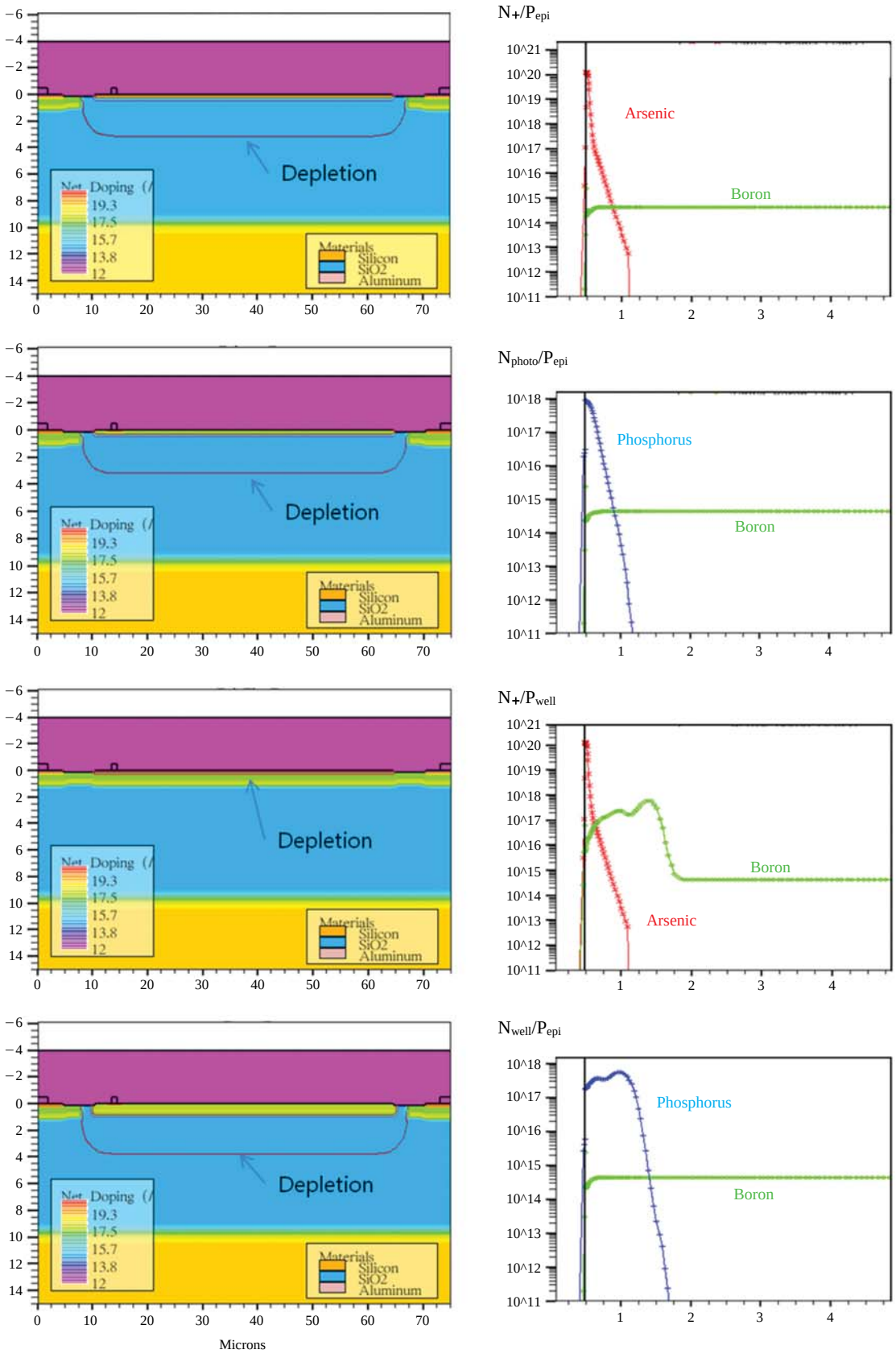


Fig. 3. Doping concentration and depletion region depth of 4 types of CMOS photo diodes.

Table 1. TCAD simulation parameters for photo diodes

Process	Epitaxial Wafer	P type, 10 μm thickness, 30	
	Pixel Size	55 μm × 1 μm for 2D simulation	
	Active area Structure	4 types (N_+/P_{epi}, N_+/P_{well}, N_{photo}/P_{epi}, N_{well}/P_{epi})	
Electric property	Mobility model	Low field mobility (KLA)	Consider lattice, impurity, carrier to carrier scattering
		High field mobility (FLDMOB)	Velocity saturation effect in high field region
	Carrier Generation recombination model	Shockley-Read-Hall recombination (CONSRH)	Concentration dependent lifetime model
		Auger recombination (AUGER)	Dominant in high doping concentration region
Light response	Photon incident angle	Vertical incidence	
	Photon wave length	550 nm	
	Photon energy density	10^{16} W cm^{-2}	

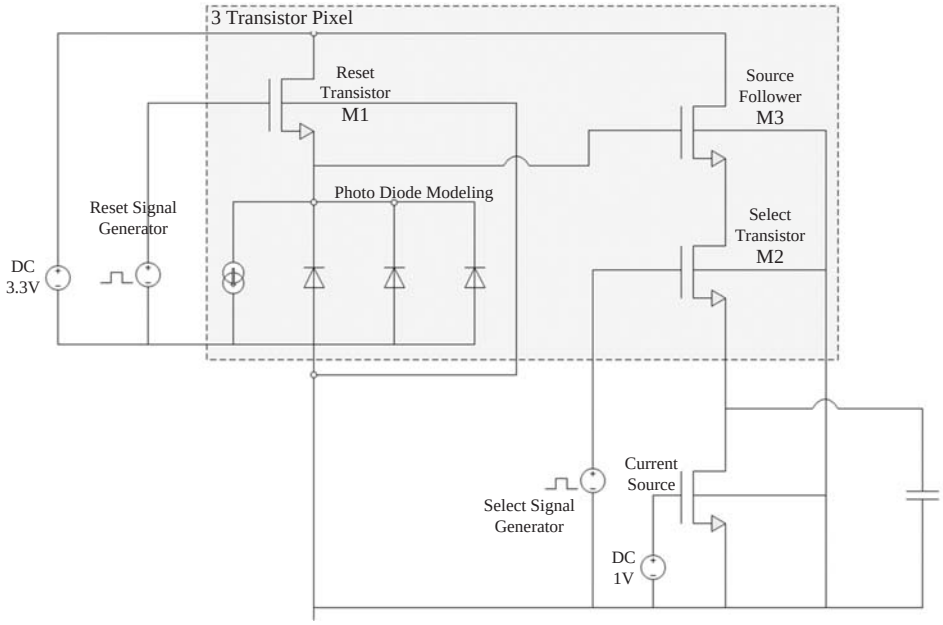


Fig. 4. A simulation circuit for the Select transistor and the Source Follower.

수 있는 변수인 MOSFET 채널 넓이와 폭을 최적화하는 시뮬레이션을 통해 이루어진다.

본 모사는 0.35 μm 공정을 바탕으로 하였기 때문에 Reset 트랜지스터와 Select 트랜지스터의 채널 폭의 경우 최소 350 nm의 값을 사용할 수 있으나, 공정의 안정성을 고려하여 채널 폭을 400 nm로 사용하였다.

Fig. 4의 schematic은 시뮬레이션을 위한 회로이다. 포토 다이오드의 경우 L형태의 픽셀을 3부분으로 구분하여 3개의 다이오드로 모델화하였고, 빛에 의한 신호는 전류원 소스를 이용하여 모델화 하였다.

Select 트랜지스터 하단의 전류원은 빛에 의해 발생한 전압신호를 출력단으로 전달하기 위해 출력단에 추가적으로 구현된 회로이다. 전류원도 최적화가 필요한 부분이지만 분리형 CMOS X선 영상센서의 경우 전류원이 ROIC 칩내에 위치하게 되므로 설계에서 제외하였다 (Khaled 2003).

1) Reset 트랜지스터 (M1) 모사

Reset 트랜지스터의 모사의 경우, gate에 RD에 의한 high digital pulse 신호를 인가하여 다이오드가 VDD로 재충전 된 후, 인가된 digital pulse의 신호의 값이 low로 바뀌는 순간 전압강하가 최소가 되는 채널 넓이를 찾는

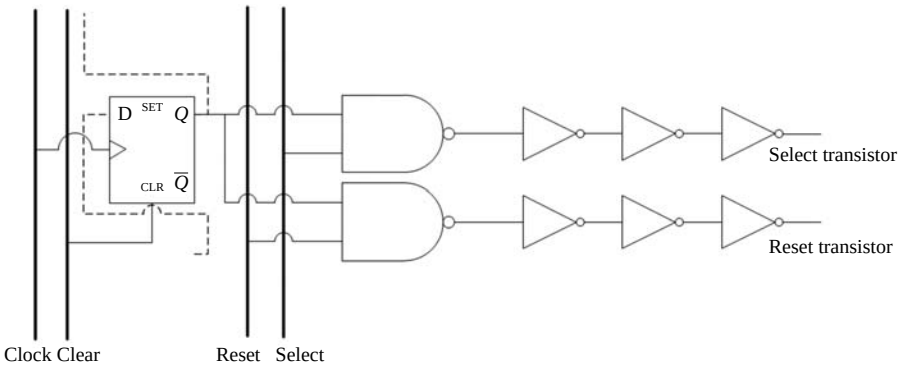


Fig. 5. A logic diagram of Row driver.

방법으로 최적 값을 찾았다. 전압강하가 최소가 되는 만큼 신호로 나오는 전압의 최대 범위가 넓어져 이미지 품질 향상에 기여하게 된다.

2) Select 트랜지스터 (M2) 모사

Select 트랜지스터의 gate에도 RD에서 생성된 digital pulse를 인가한다. Select 트랜지스터는 digital pulse에 의해 트랜지스터가 도통되었을 때 트랜지스터의 Drain단과 Source단의 전압 단차가 가장 작을 때의 채널 넓이를 찾는 방법을 사용하였다.

3) Source Follower 트랜지스터 (M3) 모사

Source Follower는 트랜지스터의 Gate단에 인가된 전압이 최대의 전압 범위를 가진 상태에서 트랜지스터의 Source단으로 넘어갈 수 있는 채널의 넓이와 길이를 찾는 방법을 사용하였다.

폭과 넓이를 모두 고려해 주어야 하므로 최초 폭을 500 nm로 설정한 이후 넓이를 변화시키며 최적의 값을 찾고, 넓이를 최적 값으로 고정한 후 다시 폭을 변화시키며 최적 값을 찾는 방법으로 시뮬레이션 하였다.

3. Row Driver 모사

Fig. 5는 RD회로에 대한 로직 다이어그램 모사도이다. RD는 픽셀의 Reset 트랜지스터와 Select 트랜지스터 제어를 위한 control signal을 생성하고 전송하는 역할을 한다. Shift 레지스터를 이용하여 원하는 가로 픽셀 줄을 선택하고 선택된 줄에 센서의 구동을 위한 Reset 신호와 Select 신호를 인버터 driver를 이용하여 각각의 픽셀로 전달하게 된다.

1) Inverter Driver 모사

많은 픽셀이 하나의 RD에 의해 구동될 경우 fan out에 의한 영상 지연으로 왜곡된 영상을 얻을 수도 있다. 이러한 문제를 해결하기 위해 인버터 driver의 최적화가 필요하다. 인버터 driver는 3개의 인버터로 구성되며 최종적으로 사용되는 구동 정전용량을 고려하여 채널 넓이를 점진적으로 키우면서 최적크기를 설계하였다. 본 연구에서 설계 시 사용된 Load는 총 384개의 픽셀 트랜지스터이며, metal line과 MOS의 gate capacitance가 주요한 요소로서 고려되었다(Neil *et al.* 2010).

본 연구에서 모사한 공정은 100Å의 두께의 silicon oxide를 가지게 되어 1 μm × 1 μm 채널 넓이의 MOSFET의 경우 정전용량은 3.4 fF의 값을 가진다. Metal line은 메탈이 알루미늄으로 되어있고, 긴 메탈라인의 경우 0.8 μm두께가 사용된다는 가정하에 0.2 fF μm^{-1} 만큼의 정전용량 값을 가진다.

계산을 통해 적절한 크기의 인버터를 설계한 후 모사를 통해 그 값의 적절성을 검증하였다.

2) Repeater 모사

대면적 CMOS 영상센서를 설계함에 있어 픽셀 가로줄의 메탈라인이 길어짐으로 인한 기생 정전용량으로 인한 지연현상이 문제가 된다. 특히 동기화를 위한 clock 신호를 칩의 한쪽 측면에서 인가하는 본 시스템에 있어서 clock 신호가 들어가는 RD와 반대편 끝에서 신호를 받는 RD사이에는 매우 긴 메탈 및 트랜지스터로 인한 지연현상이 발생한다.

이러한 지연현상의 해결책으로 Repeater를 추가하는 방법이 있다. Repeater는 두 개의 인버터로 구성되어 있다. long metal wire의 특정 지점마다 Repeater를 설치함으로써 clock의 입력 노드에서 전체 RD를 제어 하던 것이 적절한 개수의 가로줄을 제어하는 것으로 바뀌게 되고, 이 말은 한 노드에서 한번에 구동해 주어야 하는 구동 정전용량을 줄임으로서 지연시간을 줄일 수 있다는 의미가 된다(Neil *et al.* 2010).

본 연구에서는 가장 많은 MOSFET gate와 긴 메탈라인을 갖는 Clock신호의 Repeater가 없는 경우와 Repeater가 존재하는 경우를 모사하여 비교하였다.

결과 및 논의

1. 픽셀 광 다이오드 모사 결과

광에 의해 발생한 전자 정공 쌍은 depletion 영역 내에서 drift 되거나 그 밖의 영역에서 diffusion되어 전극에서 수집된다. 이때 drift에 의한 전류는 해당 픽셀에서 즉각 수집되지만 diffusion에 의한 전류는 수집속도가 느려 영상 지연을 일으키거나 인접 픽셀에 옮겨가 cross talk 현상을 유발한다 (David 1982; Rebecca 2010). Fig. 6과 같이 carrier lifetime을 20 μs으로 정의한 시뮬레이션은 단일 픽셀로 시뮬레이션 되어 diffusion current에 의한 cross talk 현상을 구별할 수 없을 뿐 아니라 diffusion current가 모두 신호에 기여한다는 문제점이 있다. 이 때문에 QE의 계산 결과에서 구조에 따른 큰 차이를 볼 수 없었다. 따라서 Depletion내에서 수집된 전류만을 고려하기 위해 carrier lifetime을 수정하여 상대적인 QE를 추정하였다. 이때 depletion 안에서 발생하는 minority carrier recombination life time이 실리콘 내부인 경우 대략 10 ns 정도가 되므로, 더 악화된 상태를 비교하기 위해 1 ns로 정의하여 모사하였다 (Ben 1980).

Carrier lifetime을 1 ns로 정의한 후 시뮬레이션 한 결과를 보면 Fig. 7과 같이 depletion layer에 의해 QE 값의 차이가 발생한다. 먼저 N_+/P_{well} 구조를 살펴보면, 표준 CMOS 공정에서 일반적으로 사용되는 N_+ layer는 10^{19} cm^{-3} 이상의 농도와 100 nm 정도의 junction depth를 가지고 P_{well} layer는 약 10^{17} cm^{-3}의 농도와 1 μm 정도의 junction depth를 가진다. N layer와 P layer의 도핑농도가 모두 높기 때문에 depletion이 다른 구조에 비해 짧게 형성된다. 이 때문에 QE 값이 파장 전반에 걸쳐 낮게 측정되었다. N_{well}/P_{epi} 구조는 junction이 표면으로부터 깊이 형성되어 depletion layer가 다른 구조에 비해 깊게 형성된다. 이 때문에 파장이 짧은 영역에 대해 QE 값이 줄어드는 결과를 확인할 수 있었다. N_+/P_{epi} 구조에서는 junction이 표면에 가깝게 형성되었음에도 N_+ layer의 높은 도핑농도로 인해 carrier lifetime이 줄어들어서 carrier의 재결합 현상이 두드러져 보이는 것으로 추정된다. 이 때문에 짧은 파장에서의 QE 값이 더 낮게 된다. N_{Photo}/P_{epi}구조에 있어서 N_+/P_{epi} layer의 구조에 비해 N layer 농도가 더 낮고, junction depth가 얕아 전 영역대의 파장에 대해 다른 구조의 PD보다 QE 값이 높게 나타나게 되었다.

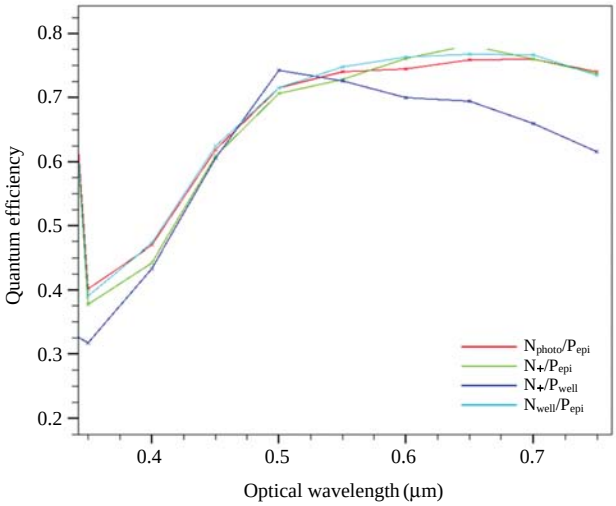


Fig. 6. Simulation result of quantum efficiency at carrier lifetime 20 μs (Y axis is QE).

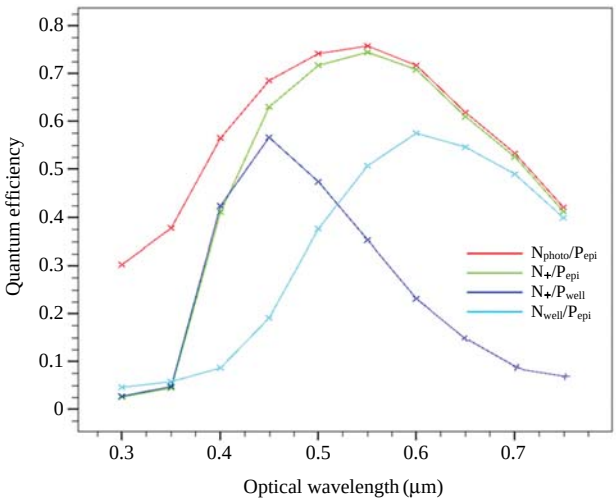


Fig. 7. Simulation result of quantum efficiency at carrier lifetime of 1 ns (Y axis is QE).

2. 픽셀 트랜지스터 모사 결과

각각 시뮬레이션 split에 대한 내용과 그 결과는 Table 2와 같다.

1) Reset 트랜지스터 (M1) 모사 결과

Reset 트랜지스터의 경우, 본 연구에서 선택한 공정의 특성상 finger 구조의 모사가 지원되지 않아 multiplier 기능으로 대체하여 모사하였다. 하지만 multiplier의 경

Table 2. Split Table and simulation results of 3 transistors in a pixel

Transistor	Multiplier (# of separation)	Channel length (μm)	Channel width (μm)	Result (μm)
Reset	10	0.4	1 to 99 (step 5)	L : 0.4 W : 10
	2	0.4	1 to 20 (step 1)	L : 0.4 W : 5
	1	0.4	3 to 9 (step 0.2)	L : 0.4 W : 5.8
Select	Not sensitive to the length and width			L : 0.4 W : 1
Source Follower		0.5	1 to 9 (step 0.2)	L : 0.5 W : 3.2
		0.35 to 0.7 (step 0.05)	3.2	L : 0.35 W : 3.2
		0.35	1 to 9 (step 0.5)	L : 0.35 W : 5

우 최대 제작 가능 폭이 10 μm이고, 이로 인해 더 긴 폭에 대한 시뮬레이션이 되지 않아 10 μm 폭으로 모사 하였다. Multiplier가 2개와 10개로 나누어진 경우보다 1개로만 된 경우가 전압낙하 폭이 적었으며, 특히 채널 넓이가 5.8 μm일 때 가장 작은 전압낙하를 보였다.

2) Select 트랜지스터 (M2) 모사 결과

Select 트랜지스터의 경우 V_{gs}가 V_{ds}보다 매우 큼으로 인해, 넓이에 의한 신호 전달 속도의 차이가 거의 없었다. 따라서 설계 후 레이아웃을 고려한 1 μm 채널 폭이 최선책이라는 결론을 얻을 수 있었다.

3) Source Follower 트랜지스터 (M3) 모사 결과

Source follower의 경우 최초 0.5 μm의 채널 폭으로 모사하였을 때, 채널 넓이가 3.2 μm일 때 가장 좋은 값을 얻을 수 있었다. 그리고 채널 넓이를 3.2 μm로 고정한 후 채널 폭을 변화시켰을 때는 채널 폭이 0.35 μm일 때 최적 값을 보였다. 마지막으로 채널 폭을 0.35 μm로 고정하고 채널 넓이를 변화 시키자 채널 넓이가 5 μm일 때 최적 값을 보였다.

좀더 최적화를 할 경우 더 좋은 성능의 값을 찾을 수 있을 것으로 추정되긴 하였으나, 값의 변화폭이 매우 작아서 더 최적화된 값을 찾는 것은 무의미한 것으로 판단되었다.

3. Row Driver 모사 결과

1) Inverter Driver 모사 결과

인버터 driver의 경우 픽셀 안에서의 Reset 트랜지스터와 Select 트랜지스터의 넓이가 앞서 실시된 시뮬레이션의 결과 값에 의해 차이가 있었으므로 각각 다른 개체로서 시뮬레이션을 하였다.

Table 3. Various inverter driver width for Reset and Select transistors

		1st inverter (μm)	2nd inverter (μm)	3rd inverter (μm)
Reset	PMOS	4.8	46.7	454.9
	NMOS	1.6	15.6	151.6
Select	PMOS	4.8	40.3	339.1
	NMOS	1.6	13.4	113.0

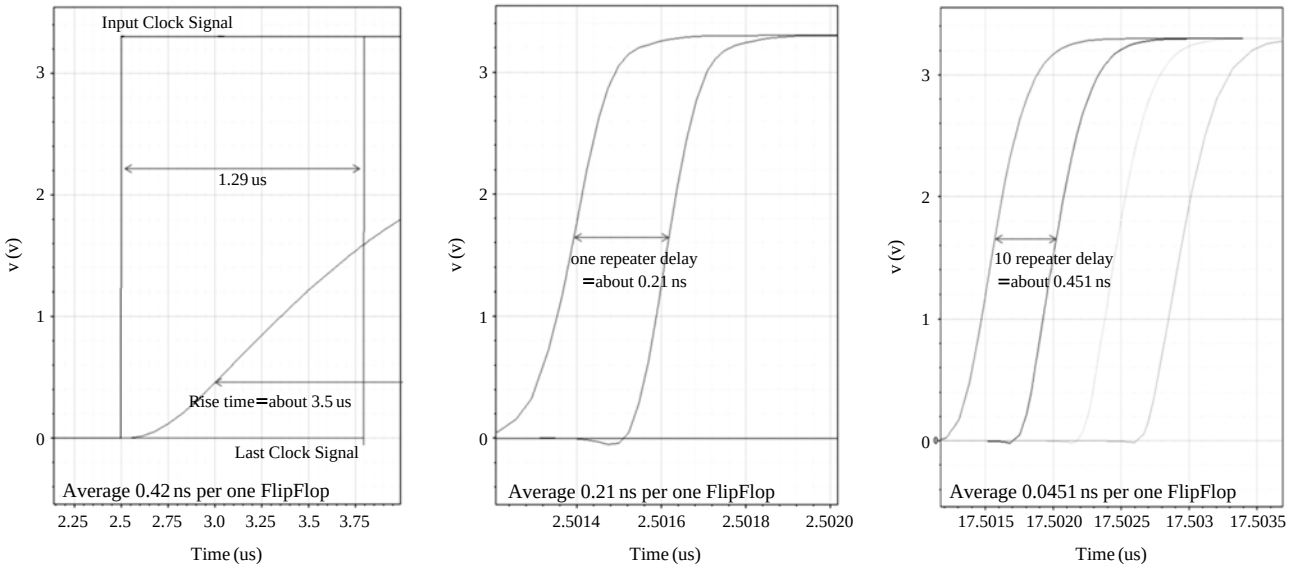
앞선 Reset과 Select 트랜지스터의 채널 넓이와 폭을 통해 정전 용량을 계산해 보면 Reset은 약 7.028 pF, Select의 경우 약 4.522 pF의 값을 가진다. 이를 통해 인버터 driver의 NMOS와 PMOS의 트랜지스터 채널 넓이를 계산해 보면 Table 3과 같고 이 값을 이용하여 지연시간을 시뮬레이션 해준 결과 약 12 ns의 지연시간을 갖게 됨을 확인하였다 (Neil *et al.* 2010).

본 연구에서 목표로 하는 30 fps를 만족하려면 1장의 전체영상 당 약 33 ms의 시간이 필요하다. 최장의 시간이 걸리는 경우는 한 가로 픽셀들의 광집적과 신호출력이 끝나고 나서야 그 다음 가로 픽셀들의 광 집적이 이루어질 때이고, 이때 12 ns의 시간은 1 Row의 총 할당 시간에 0.112%에 해당하는 매우 짧은 시간이므로 이 정도의 지연시간은 누적되는 것이 아니므로 무시할 수 있다.

2) Repeater 모사 결과

RD회로의 Clock신호를 전달하는 긴 도선은 약 170 mm이고, 1개의 가로 픽셀 줄마다 1개의 인버터에 해당하는 gate 정전용량이 부착되어 있다고 본다. 이를 three Π model에 적용한 후 지연시간 시뮬레이션을 하면 Fig. 8(a)에서 나타낸 것과 같이 3072번째의 RD에서 약 1.29 μs의 delay를 갖는다. 이 값은 앞서 inverter 드라이버 모사 때 고려되었던 최장의 시간이 걸리는 경우에 적용했을 때 10%에 해당하는 변화로서 30 FPS로 동영상을 촬영한 경우 영상 품질에 많은 영향을 미치게 된다.

Repeater를 1개의 가로 픽셀 줄마다 넣어준 것과 10개의 가로 픽셀 줄마다 넣어준 시뮬레이션 결과는 Fig. 8(b)와 (c)에서 볼 수 있다. 1개의 RD마다 Repeater를 설치한 경우는 약 0.21 ns이고 10개의 Repeater를 설치한 경우는 약 0.451 ns이다. 10개마다 설치한 경우를 1개마다의 지연시간으로 나눠주면 1개마다 0.0451 ns의 지연시간을 갖게 되는 것이 된다. 결과적으로 3072번째 RD에서 지연시간을 고려하면 RD 1개마다 Repeater가



(a) No Repeater (b) 1 Gate Driver per 1 repeater (c) 10 Gate Driver per 1 repeater

Fig. 8. Transient simulation results of Row driver with and without repeaters.

설치된 경우에는 약 645 ns이고 10개마다 설치된 경우에는 138.54 ns이다. 따라서 10개의 가로 픽셀 줄마다 Repeater를 넣어 주었을 때가 가장 delay가 짧음을 알 수 있다.

결 론

픽셀의 경우 픽셀 다이오드는 N_{photo}/P_{epi} 구조가 넓은 공핍 영역과 함께 재결합이 적게 일어나 신호에 더 많이 기여한다.

픽셀 트랜지스터의 경우 Select 트랜지스터는 트랜지스터 크기에 관계없이 성능의 큰 변화가 없었다. Reset 트랜지스터의 경우 0.4 μm 폭에 multiplier가 없는 상태에서 5.8 μm 넓이일 때가 최적의 성능을 보였으며 Source follower의 경우 0.35 μm의 폭과 5 μm의 넓이에서 가장 좋은 성능을 보였다.

설계된 인버터의 경우 12 ns로서 0.112%의 무시할 수 있는 정도의 시간 지연을 보였으며 Repeater를 추가한 회로가 추가하지 않은 회로에 비해 월등한 시간 지연 측면의 이득을 가짐을 확인할 수 있었다.

향후 칩 공정 후 측정 결과를 통해 시뮬레이션의 결과를 검증하고 이를 바탕으로 시뮬레이션의 문제점이 있을 경우 시뮬레이션 모델을 보완하여 보다 더 짧은 지연시간을 갖는 RD와 광효율이 더 높은 픽셀구조를 설계하는 데 반영할 계획이다.

사 사

본 연구는 교육과학기술부에서 주관하는 방사선기술개발사업으로 수행되었으며 이에 감사드립니다(KOSEF 20110021268).

참 고 문 헌

허 영. 2011. X선 의료영상기기 기술 및 산업동향. KEIT PD Issue Report. **11**(9):93-121.

Ben GS. 1980. Solid State Electronic Devices, 2nd Edition. Prentice-Hall, INC. pp. 101-110.

David JR, Narain DA and Savvas GC. 1982. Modeling and Measurement of Minority-Carrier Lifetime versus Doping in Diffused Layers of n'-p Silicon Diodes. IEEE Transactions on Electron Devices, ED-29(2).

Emi M. 2006. Broadband Xray Detector Using CCDs and Scintillators. SNIC Symposium, Stanford, California. April 3-6.

Khaled S, Abbas EG. 2003. Analysis of Active Pixel Sensor Readout Circuit. IEEE Transactions on Circuits and Systems section I, Fundamental Theory and Applications. **50**(7):941-944.

Lee JS. 2003. Photoresponse of CMOS Image Sensors. Unpublished doctoral dissertation, University of Waterloo, Ontario, Canada.

Neil HE and David H. 2010. Integrated Circuit Design, 4th Edition. Pearson Education.

Rebecca EC, Jamie PC, Adam G, Matthew DW, Zhige Z, Marcel S, Mike T and Renato ADT. 2010. A Low Noise Pixel Architecture for Scientific CMOS Monolithic Active Pixel Sensor. IEEE Ransactions on Ansactions on Muclear Science. **57**(5):2490-2496.

Reiner FS, Manfred F and Wittmann. 2008. Xray Converter Element. US Patent. US7718974B2.

Rizzo G, Batignani G, Bettarini S, Bosisio L, Carpinelli M, Calderini G, Cenci R, Forti F, Giacomini G, Giorgi MA, Lanceri L, Lusiani A, Manghisoni M, Marchiori G, Morsani F, Neri N, Paoloni E, Rachevskaia I, Rama M, Ratti L, Re V, Simi G, Speziali V, Traversi G, Walsh J and Vitale L. 2005. Triple Well CMOS Active Pixel Sensor with In-Pixel Full Signal Analog processing. IEEE Nuclear Science Symposium Conference Record. N37-5.

Suat UA. 2008. Large Format CMOS Image Sensors Performance and design. Schaltungsdienst Lange o.H.G. Zehernsdorfer Str.11, 12277 Berlin, Germany. Saarbrucken.

Thomas G, Andrew H, David B and Andrew P. 2007. CMOS Pixel structures optimized for scientific imaging applications. Infrared systems and photoelectrionic technology Proc. Of SPIE Vol.6660 66600T-1.

Manuscript Received: January 26, 2012
Revised: February 13, 2012
Revision Accepted: February 24, 2012