Journal of Radiation Industry 8(3) : 141~146(2014)

베타전지용 PN 접합 반도체 표면에 도금된 Ni 후막의 특성

김진주 · 엄영랑* · 박근용 · 손광재

한국원자력연구원 동위원소이용연구부

Characteristics of Electroplated Ni Thick Film on the PN Junction Semiconductor for Beta-voltaic Battery

Jin Joo Kim, Young Rang Uhm*, Keun Young Park and Kwang Jae Son

Radioisotope Research Division, Korea Atomic Energy Research Institute, Daejeon 305-353, Korea

Abstract - Nickel (Ni) electroplating was implemented by using a metal Ni powder in order to establish a ^{63}Ni plating condition on the PN junction semiconductor needed for production of beta-voltaic battery. PN junction semiconductors with a Ni seed layer of 500 and 1000 Å were coated with Ni at current density from 10 to 50 mA cm^{-2}. The surface roughness and average grain size of Ni deposits were investigated by XRD and SEM techniques. The roughness of Ni deposit was increased as the current density was increased, and decreased as the thickness of Ni seed layer was increased. The results showed that the optimum surface shape was obtained at a current density of 10 mA cm^{-2} in seed layer with thickness of 500 Å, 20 mA cm^{-2} of 1000 Å. Also, pure Ni deposit was well coated on a PN junction semiconductor without any oxide forms. Using the line width of (111) in XRD peak, the average grain size of the Ni thick firm was measured. The results showed that the average grain size was increased as the thickness of seed layer was increased.

Key words : Ni electroplating, Ni seed layer, Grain size, SEM image, XRD pattern

서 론

방사성동위원소 ^{63}Ni은 최대 66.7 KeV, 평균 17.4 KeV의 순수 베타선 에너지를 방출하는 대표적인 저에너지 베타핵종이다. 반감기가 100년에 이르는 장수명 핵종으로, 이러한 긴 반감기와 저에너지 특성 때문에 나노 및 마이크로 방사성동위원소 베타전지에 이용되고 있다 (Judy *et al*. 1995; Kim *et al*. 2008).

베타전지 (beta-voltaic battery)는 PN 접합 반도체 위에 ^{63}Ni을 도금하여 제작하는데 전기도금법, 무전해도금법 (Sullivan *et al*. 1957; Iwasa *et al*. 1968), 화학기상증착법 (CVD, chemical vapor deposition) 등의 여러 도금 기법 중 주로 전기도금 공정이 많이 사용된다. 전기도금 공정을 이용하여 PN 접합 반도체 위에 Ni을 도금할 때는 Ni seed층이 있어야 효과적으로 Ni 후막을 얻을 수 있으며 (Rehman *et al*. 2014), 이때 전기도금용액의 조성, 온도, pH 뿐만 아니라 seed층의 두께가 Ni 후막 형상에 많은 영향을 미치게 된다 (Nguyen *et al*. 2010; Su *et al*. 2012). Ni seed층이 너무 얇으면 후막이 균일하게 형성되지 않고 반대로 너무 두꺼우면 ^{63}Ni을 이용한 도금 시 베타선

* Corresponding author: Young Rang Uhm, Tel. +82-42-868-4835, Fax. +82-42-866-6217, E-mail. uyrang@kaeri.re.kr

의 자기차폐 (self-shielding)로 인해 베타전지의 효율이 감소한다는 문제점이 있다. 따라서 전기도금 공정으로 Ni 도금 시 적절한 seed층의 두께를 결정하는 것이 중요하다.

이전의 연구에서 Ni plate에 Chloride 용액으로 전기도금 시 전류밀도에 따른 Ni 후막의 표면 형상을 관찰하였으며, 그 결과 전류밀도의 증가에 따라 후막 표면 형상이 거칠어진다는 것을 확인하였다 (Park *et al*. 2013). 본 논문에서는 Ni seed층이 있는 PN 접합 반도체 위에 전기도금 공정을 이용하여 Ni 후막을 얻었으며 seed층의 두께 및 전류밀도에 따른 Ni 후막의 표면 형상을 관찰하였다. 또 XRD 패턴 변화를 확인한 후 (111) 선폭을 이용하여 Ni 후막의 평균 결정립 크기를 측정하였다. 이를 통해 PN 접합 반도체 위에 Ni 전기도금 시 최적의 전기도금 조건 및 seed층의 두께에 따른 영향을 확인하였다.

재료 및 방법

Ni seed층이 있는 PN 접합 반도체 위에 Ni 후막을 얻기 위해 전기도금 공정을 이용하였다. 전기도금 시 사용한 장비는 Potentiostat/Galvanostat (Versastat3)로, 전류밀도를 10 ~ 50 mA cm^{-2}로 변화를 주어 수행하였다. 도금용액의 조성 및 도금조건은 Table 1에 나타내었으며 도금용액은 $NiCl_2 \cdot 6H_2O$와 H_3BO_3, NaCl, Saccharin으로 구성되었다. 금속 Ni의 공급원으로 $NiCl_2 \cdot 6H_2O$를 사용하였고 도금용액의 pH buffer로 H_3BO_3를 첨가하였다. 첨가제인 Saccharin은 후막 표면의 거칠기를 줄이기 위해 사용하였다 (Park *et al*. 2013). 양극은 Pt전극 (mesh 형태, 25 mm × 135 mm × 1 mm)을, 음극은 PN 접합 반도체 (Ni seed층 200, 500 및 1000 Å, 4 mm × 4 mm)를 사용하였으며 양극과 음극 모두 도금 전에 비눗물로 표면의 기름기 및 불순물을 제거하였다. 증류수로 수세한 양극과 음극은 10 vol% HCl에 30초간 침지한 다음, 다시 증류수로 수세하였다.

본 실험에서는 seed층의 두께에 따른 Ni 후막의 표면 형상 및 결정립 크기의 차이를 알아보기 위해 각각 다른 두께의 seed층이 있는 PN 접합 반도체 (200, 500 및 1000 Å) 위에 Ni을 도금하였으며 도금용액의 pH는 4, 도금반응온도는 40°C, 후막의 두께는 3 μm가 되도록 일정하게 유지하였다. 전류밀도는 10, 20, 30, 40, 50 mA cm^{-2}로 변화를 주어 수행하였다. 도금된 Ni 후막의 표면 및 단면 형상을 알아보기 위해 주사전자현미경 (SEM, Scanning Electron Microscope, model JSM-6300 및 JSM-639dc0, JEOL LTD)을 사용하였으며 XRD (X-Ray Diffractometer, model D/MAX 2500H, Rigaku)를 사용하여 Ni 후막의 미세조직 분석 및 결정립 크기를 측정하였다. XRD 분석은 Cu Kα radiation을 사용하여 분당 0.02° 의 증가 속도로,

Table 1. The composition of the bath for Ni electroplating

Bath composition	Concentration
$NiCl_2 \cdot 6H_2O$	0.2 M
H_3BO_3	0.4 M
NaCl	0.7 M
Saccharin	0.00829 M
Deposition condition	**Value**
Current density	10 ~ 50 mA cm^{-2}
pH	4
Temperature	40°C
Thickness	3 μm

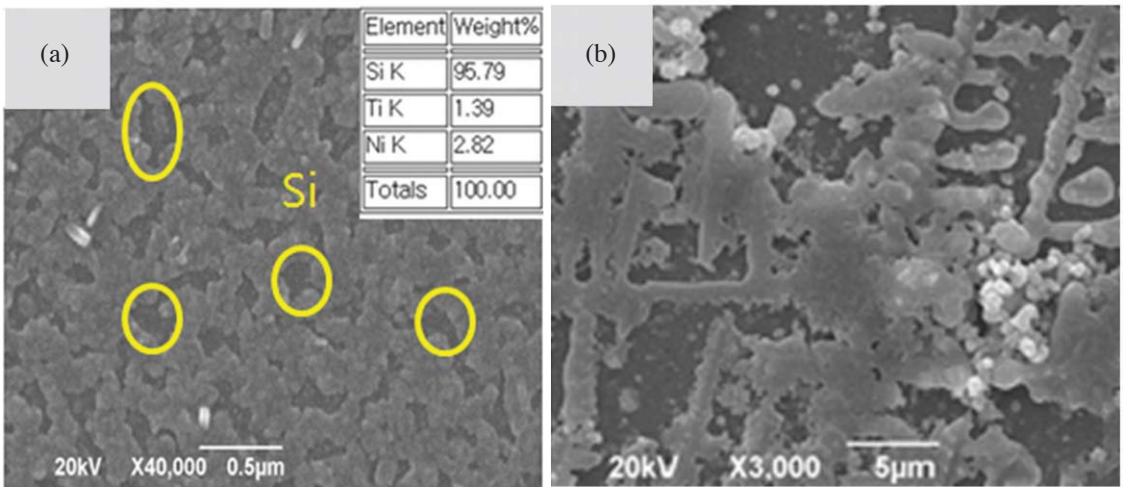

Fig. 1. SEM images for Ni seed layer with thickness of 200 Å (a) and Ni coated PN junction semiconductor at a Ni seed layer of 200 Å (b).

2θ값은 10° ~ 90° 의 범위에서 측정하였다.

결과 및 논의

Fig. 1은 PN 접합 반도체 위의 seed층 두께가 200 Å인 경우와 (a), 이 표면 위에 도금을 수행한 시편의 주사전자현미경 사진 (b)이다. Seed층의 PN 접합 반도체 표면증착은 e-beam으로 수행하였다. Seed층 두께가 200 Å인 경우 EDS (Energy Dispersive Spectroscopy) 분석 결과 Si wafer층이 드러나 보이면서 PN 접합 반도체 표면을 모두 덮지 못하고, 균일하지 못한 막구조를 보임을 확인할 수 있었다. 이 표면에 도금을 수행할 경우 Ni 도금층이 제대로 형성되지 못하는 것을 Fig. 1(b)에서 확인하였다.

PN 접합 반도체 위의 Ni seed층 두께 및 전류밀도의 변화에 따른 Ni 후막 표면 및 단면 형상을 주사전자현미경으로 확인하여 Fig. 2에 나타내었다. Seed층 두께가 500 Å일 때 (a와 c), 1000 Å일 때 (b와 d) Ni 후막의 표면을 각각 (a)와 (b)에, 단면을 각각 (c)와 (d)에 나타내었다. Seed층의 두께와 상관없이 전류밀도가 10 mA cm^{-2}에서

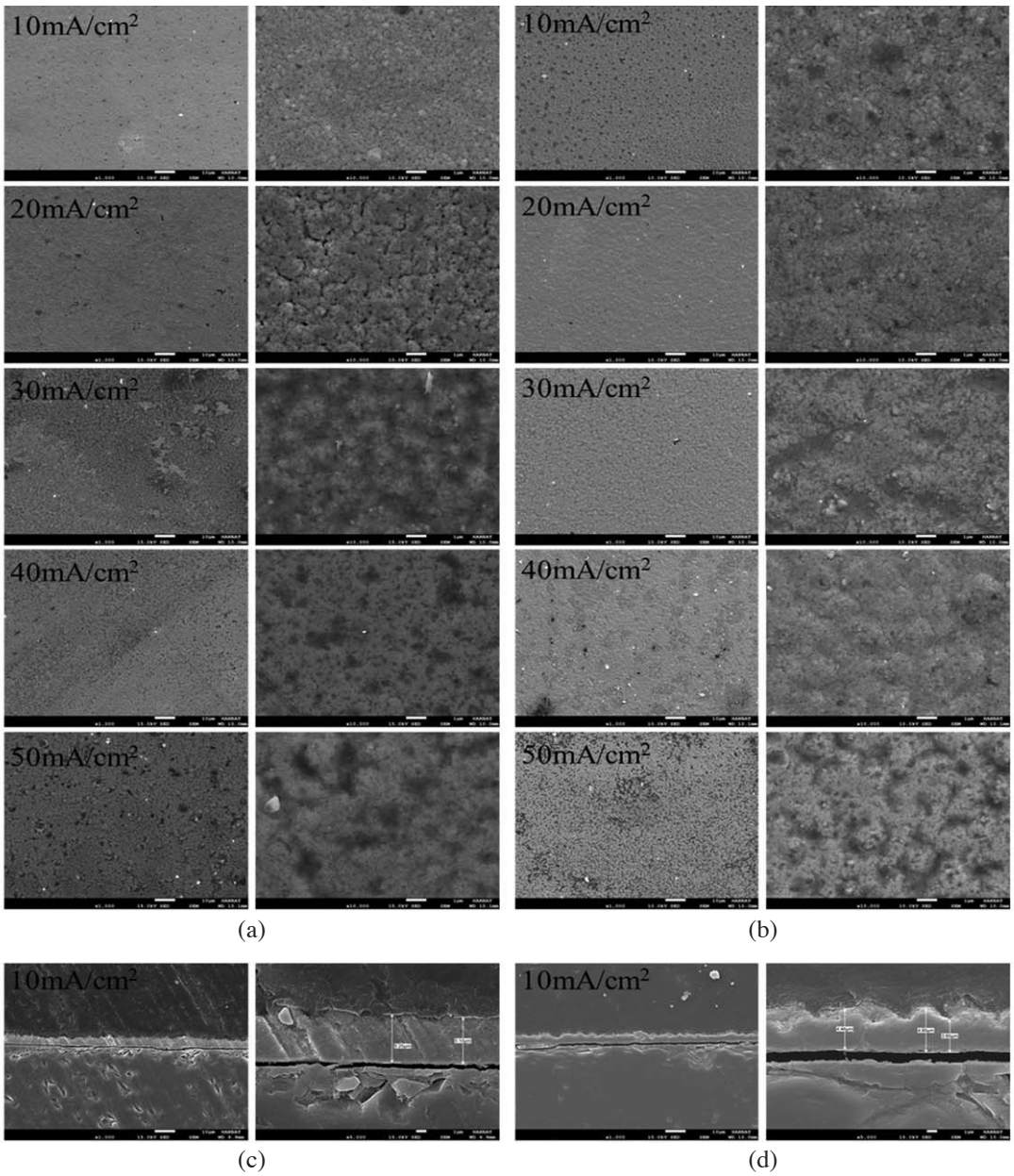

Fig. 2. SEM images for the Ni coated PN junction semiconductor at a Ni seed layer of (a) 500 Å and (b) 1000 Å. The sectional shape of (c) 500 Å and (d) 1000 Å at a current density of 10 mA cm^{-2}.

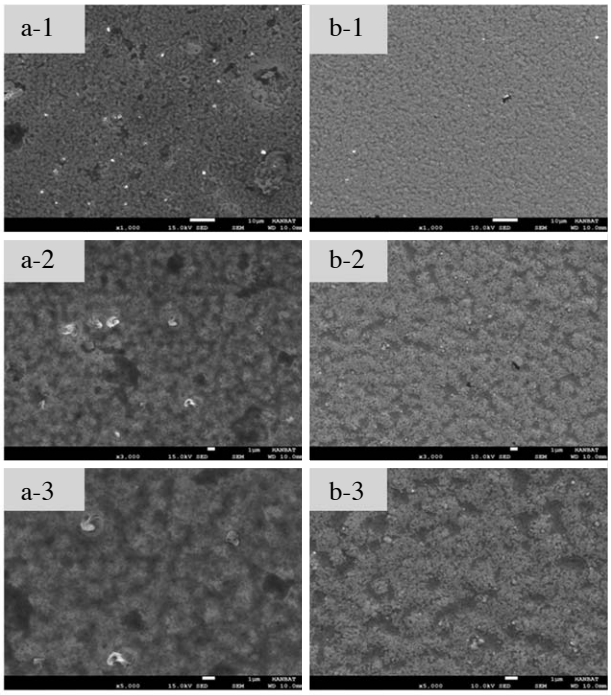

Fig. 3. SEM images for the Ni coated PN junction semiconductor at a Ni seed layer of (a) 500 Å and (b) 1000 Å at a current density of 30 mA cm^{-2}.

50 mA cm^{-2}로 증가할수록 Ni 후막의 표면 형상이 거칠어져 균일한 표면을 얻기가 어려웠으며, 이는 전류밀도가 증가할수록 도금 속도가 증가하며, 속도가 증가할수록 Ni 도금층의 치밀성이 저하되어 표면의 상태도 거칠게 변화되는 것으로 판단된다(Park *et al*. 2013). 저 전류(10 mA cm^{-2})에 비해 상대적으로 전류밀도가 높은 50 mA cm^{-2}에서는 거친 표면 또는 nodule한 표면을 얻거나, 전착 표면상태가 불규칙하여 pin-hole이 생기고 또한 후막이 균열되는 것을 관찰하였다.

Fig. 3은 Ni seed층이 500 Å일 때와 1000 Å일 때 동일한 전류밀도(30 mA cm^{-2})에서 증착된 Ni 후막 사진으로, 500 Å일 때보다 1000 Å일 때 도금층 표면 형상의 거칠기가 상대적으로 감소하였으며 500 Å은 10 mA cm^{-2}의 전류밀도에서, 1000 Å 위의 후막 표면은 20 mA cm^{-2}의 전류밀도에서 최적의 표면 형상을 얻은 것을 확인하였다. 이는 seed층의 두께가 두꺼워짐으로써 전류밀도를 증가하여도 안정되고 매끄러운 표면 형상을 얻을 수 있다는 것을 의미한다.

Fig. 4는 Ni seed층 두께 및 전류밀도의 변화에 따른 Ni 후막의 XRD 패턴 변화를 보여주고 있다. (a)는 전기도금을 수행하지 않은 seed층만 존재하는 PN 접합 반도

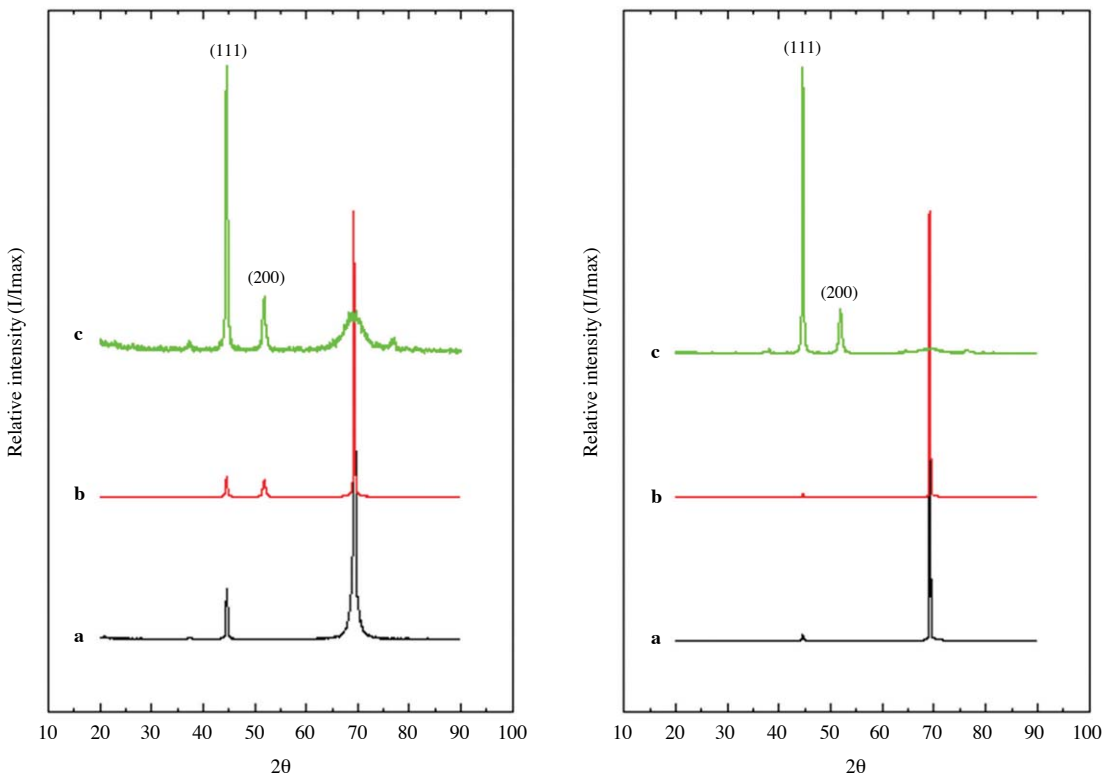

Fig. 4. XRD patterns for Ni coated PN junction semiconductor (pH 4, 3 μm) at a Ni seed layer of 500 Å (left) and 1000 Å (right). (a) the original PN junction semiconductor, and a current density of (b) 20 mA cm^{-2}, (c) 40 mA cm^{-2}.

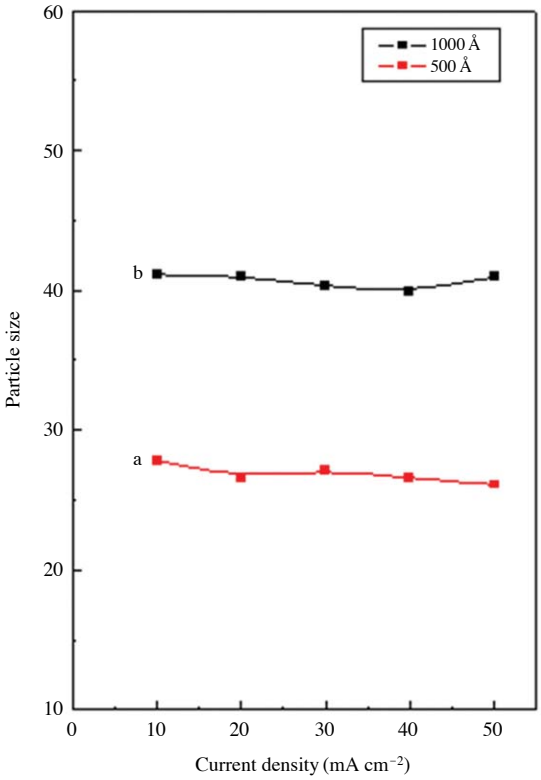

Fig. 5. The average crystalline size calculated from the XRD line broadening of the (111) peak, using the classical Scherrer relationship for Ni coated PN junction semiconductor at a current density of 10, 20, 30, 40 and 50 mA cm^{-2}. A Ni seed layer of (a) 500 Å and (b) 1000 Å.

체이며 (b)는 전류밀도 20 mA cm^{-2}에서, (c)는 40 mA cm^{-2}에서 전기도금을 한 결과이다. 500 및 1000 Å 모두 비정질 및 산화물상 등이 형성되지 않고 순수한 금속 Ni 결정으로 도금층이 성장하였고, 전류밀도가 증가할수록 FCC (111) 및 (200) peak도 증가한다는 것을 확인하였다. 특히 (111) peak가 크게 증가한 것은 전류밀도 40 mA cm^{-2}에서 (111)면이 급격하게 성장한 것으로 판단된다.

Ni seed층 두께 및 전류밀도의 변화에 따른 Ni 후막의 평균 결정립크기를 측정하여 Fig. 5에 나타내었다. 평균 결정립 크기는 XRD의 (111) 선폭을 측정하여 Scherrer relationship (Patterson 1939)식으로 계산하였다. 전류밀도가 증가하여도 평균 결정립 크기는 거의 일정한 값을 가지고 있음을 확인하였다. 다만, 1000 Å의 seed층 위에 도금한 후막의 평균 결정립 크기가 500 Å에 비해 약 10 nm 정도 더 큰 것을 확인하였다. 이는 seed층이 두꺼울수록 전기전도도가 커져 전착속도가 더 빨라지기 때문이다. Saccharin과 같이 황 (S)의 carrier 역할을 하는 첨가제에 대한 이전의 연구 결과로부터 입도 성장 제어가 가능한 도금용액 제조 조건을 활용하였기 때문이라고 판단된다.

본 연구로 PN 접합 반도체의 도금을 위해서는 seed층 두께가 최소 500 Å 이상이 되어야 함을 확인하였으며, seed층 두께가 증가할수록 전기전도도가 증가하여 도금막이 균일하게 형성됨을 확인하였다. 그러나 ^{63}Ni의 도금을 염두에 둔 공정이므로 ^{63}Ni이 방출하는 베타선의 자기차폐를 고려한다면 seed층을 더 두껍게 할 수 없기 때문에, 향후 ^{63}Ni의 자기차폐 및 seed층 통과 비정의 전산모사 등의 추가적 연구수행을 통하여 적정한 seed층의 두께를 결정할 필요가 있다.

결 론

$NiCl_2 \cdot 6H_2O$와 H_3BO_3, NaCl, Saccharin으로 구성된 Ni 도금용액을 이용하여 PN 접합 반도체 위에 Ni을 전기도금하여 후막을 제조하였다. 500 Å 및 1000 Å의 Ni seed층이 존재하는 반도체 기판을 사용하여 seed층의 두께와 전류밀도에 따른 Ni 후막의 표면 형상을 관찰하였으며, XRD 패턴을 확인하고 이를 이용하여 평균 결정립 크기의 변화에 대한 연구를 수행하였다. 전류밀도가 증가할수록 seed층의 두께와 관계없이 후막 형상의 거칠기가 증가하는 양상을 보였다. 또 Ni seed층의 두께가 두꺼울수록 더 매끈한 후막 표면을 얻을 수 있었다. 두께가 500 Å의 seed층에서는 10 mA cm^{-2}의 전류밀도에서, 1000 Å에서는 20 mA cm^{-2}의 전류밀도에서 최적의 표면 형상을 얻을 수 있었으며 따라서 Ni seed층 두께는 최소 500 Å이 되어야 함을 확인하였다.

사 사

이 논문은 미래창조과학부의 지원을 받아 “연구로 동위원소 활용 융합기술개발 및 생산기술 선진화 사업” 과제에서 수행된 연구이다.

참 고 문 헌

Atteq ur Rehman and Lee SH. 2014. Review of the potential of the Ni/Cu plating technique for crystalline silicon solar cells. *Materials*. **7**:1318-1341.

Iwasa H, Yokozawa M and Teramoto I. 1968. Electroless nickel plating on silicon. *J. Electrochem. Soc*. **115**:485-488.

Judy JW, Muller RS and Zappe HH. 1995. Magnetic microactuation of poly-silicon flexible structure. *J. Microelectome-*

ch. Syst. **4**:162-169.

Kim YW, Jeong KH and Hong IK. 2008. Effect of current density on nickel surface treatment process. *J. Korean Ind. Eng. Chem.* **19**(2):228-235.

Nguyen A, Rane-Fondacaro M, Efstathiadis H, Haldar P, Michealson L, Wang C, Munoz K, Tyson T and Gallegos A. 2010. Formation of a low ohmic contact nickel silicide layer on textured silicon wafers using electroless nickel plating. In Proceedings of the 25th European Photovoltaic Solar Energy Conference, Valencia, Spain, 6-10 September 2010.

Park KY, Uhm YR, Choi SJ and Park DY. 2013. The effects of current density on the grain size of electroplated thick film nickel (Ni) by using Ni metal powder dissolved chloride bath. *J. Korean Magnetic Soc.* **23**(1):12-17.

Patterson AL. 1939. The Scherrer formula for X-ray particle size determination. *Physical Review* **56**(10):978-982.

Su YH, Ma WY, Yang TN and Lan SM. 2012. An investigation of the mechanisms of light-induced nickel plating on P-type silicon substrates. *Int. J. Electrochem. Sci.* **7**:10711-10721.

Sullivan MV and Eigler JH. 1957. Electroless nickel plating for making ohmic contacts to silicon. *J. Electochem. Soc.* **104**: 226-230.

Manuscript Received: December 4, 2014
Revised: December 12, 2014
Revision Accepted: December 13, 2014